



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Programa de Pós-Graduação em Ciência
da Computação



Plano de Ensino

1) Identificação

Disciplina: INE4101XX – **Tópicos Especiais em Computação: Multicores – Estado da Arte e Tendências**

Carga horária: 15 horas (1 crédito)

Professor(a): Luiz Cláudio Villar dos Santos

Período: 2020.1

2) Requisitos: nenhum

3) Ementa: Estado da arte no suporte em multicores para sincronização de *threads*, *multithreading*, coerência de cache e consistência de memória. Tendências observadas na literatura e sua adoção progressiva em arquiteturas contemporâneas, tais como ARMv8, RISC-V, Power.

4) Objetivos

Geral:

- Familiarizar os estudantes com uma visão panorâmica do estado da arte de processadores multicores e as tendências arquiteturais que se pode inferir a partir de publicações recentes.

Específicos:

- Através de uma visão panorâmica dos principais aspectos de arquiteturas *multicore*, motivar estudantes a se aprofundarem em tópicos avançados de Arquitetura de Computadores que porventura venham a ser necessários ao desenvolvimento de suas pesquisas nas linhas de Computação Paralela e Distribuída e Sistemas Embarcados.
- Familiarizar os estudantes com os principais aspectos de arquiteturas *multicore* contemporâneas, tais como ARMv8, RISC-V e Power, cuja utilidade compreende vários domínios de aplicação, como Computação Paralela (e.g. servidores) e Sistemas Embarcados.
- Prover conceitos básicos que sirvam de introdução à disciplina avançada de Arquitetura de Computadores ofertada pelo PPGCC.
- Mostrar o estado da arte em sincronização, *multithreading*, coerência de cache e consistência de memória.
- Familiarizar os estudantes com as tendências arquiteturais a partir de publicações recentes.

5) Conteúdo Programático

- Tópico 1: ESTADO DA ARTE EM ARQUITETURAS MULTICORE [4 horas-aula]
Suporte arquitetural para *data-level parallelism* (instruções vetoriais), *instruction-level parallelism* (emissão múltipla e execução fora de ordem) e *thread-level parallelism* (sincronização e *multithreading*)

- Tópico 2: ESTUDO DE CASOS DE SUPORTE ARQUITETURAL [4 horas-aula] Estudo comparado do suporte ao paralelismo e sincronização nas arquiteturas ARMv8, RISC-V e Power.
- Tópico 3: ESTADO DA ARTE EM COERÊNCIA/CONSISTÊNCIA [4 horas-aula] Conceitos básicos de coerência e estados básicos de protocolos. Conceitos básicos de consistência: relaxação de ordem e atomicidade de escrita. Exemplos de hierarquia de memória e modelos de consistência em arquiteturas contemporâneas.
- Tópico 4: TENDÊNCIAS EM MULTICORE [3 horas-aula] Principais tendências para a implementação de locks (e.g. contraste entre as famílias baseadas em atomic exchange e as baseadas em *load/store exclusive*). Principais tendências em memória compartilhada coerente (e.g. diretórios e tamanhos de bloco). Principais tendências em consistência de memória (e.g. *weak ordering*, *multiple-copy -atomic stores*, *non-multiple-copy atomic stores*)

6) Metodologia

A metodologia de ensino consiste em aulas expositivas abordando os principais conceitos, exemplos e tendências. Para cobrir os conceitos básicos e exemplos contemporâneos, os estudantes serão motivados a ler trechos selecionados de livros recentes de Arquitetura de Computadores. Para cobrir as tendências, serão estimulados a ler artigos tutoriais ou *position papers* extraídos de *magazines* (e.g. IEEE Computer, Communications of the ACM).

Forma síncrona das aulas. As aulas serão majoritariamente síncronas e viabilizadas dentro da grade horária da disciplina, através de sessões de webconferência iniciadas a partir do AVA (através da infraestrutura disponibilizada pela RNP) ou, no caso de sobrecarga do sistema, através do Google Meet. As aulas serão realizadas com pausas onde se promoverá a discussão. Eventuais aulas assíncronas, em função de instabilidades do sistema, consistirão de gravações de vídeo a serem disponibilizadas pelo professor no AVA.

7) Avaliação

A avaliação da aprendizagem será realizada através de participação nas aulas expositivas e na resposta a dois questionários assíncronos (Q1 e Q2). A nota final (NF) será calculada como a média aritmética simples dos questionários.

Forma assíncrona de entrega dos questionários: Questionários serão entregues exclusivamente através do AVA. A entrega deve ser realizada em no máximo 24 horas a partir da disponibilização do questionário.

Forma de flexibilização de prazos: No caso de falha técnica grave que torne o AVA totalmente indisponível durante o período de disponibilização do questionário, eles serão disponibilizados novamente assim que o sistema tenha sido estabilizado.

8) Cronograma

O cronograma detalhado será publicado no AVA, mas pode ser assim resumido:

- Semana 1 (19 a 23 de outubro): Tópico 1
- Semana 2 (26 a 30 de outubro): Tópico 2, Questionário 1
- Semana 3 (2 a 6 de novembro): Tópico 3
- Semana 4 (8 a 13 de novembro): Tópico 4, Questionário 2

Horário pretendido: terças e quintas das 14:00 às 16:00 nas quatro semanas de duração.

9) Bibliografia

- [1] Daniel J. Sorin, Mark D. Hill, David A. Wood, “*A Primer on Memory Consistency and Cache Coherence*”, Synthesis Lectures on Computer Architecture, Morgan & Claypool Publishers, 2011.
- [2] John L. Hennessy and David A. Patterson, “*Computer Architecture: A Quantitative Approach*”, sixth edition, Morgan Kaufmann Publishers, 2018. (ISBN: 978-0-12-811905-1)
- [3] David A. Patterson and John L. Hennessy, “*Computer Organization and Design: The Hardware/Software Interface*”, fifth edition, Morgan Kaufmann Publishers, 2014. (ISBN: 978-0-12-407726-3)
- [4] S. Devadas, “*Toward a coherence multicore memory model*”. Computer, 2013.
- [5] M. Martin, M. Hill, D. Sorin, “*Why on-chip cache coherence is here to stay*”, Communication of the ACM, pp. 78-89, June, 2012